

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi NAKAMURA, et al:

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: DISPLAY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-096373	March 31, 2003
Japan	2003-096432	March 31, 2003
Japan	2003-096519	March 31, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

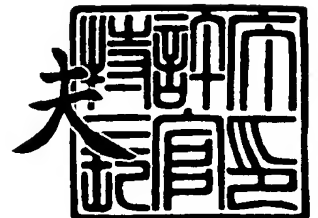
出 願 番 号 特 願 2 0 0 3 - 0 9 6 3 7 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 9 6 3 7 3]

出 願 人 東芝松下ディスプレイテクノロジー株式会社
Applicant(s):

2 0 0 4 年 3 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 1 1 0 5

【書類名】 特許願

【整理番号】 14201201

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
 テクノロジー株式会社内

 【氏名】 中 村 卓

【特許出願人】

 【識別番号】 302020207

 【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号

 【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

 【識別番号】 100082991

 【弁理士】

 【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられる撮像部と、を備え、

前記表示素子は、前記撮像部で撮像された画像、または撮像装置で撮像された画像を表示可能な表示装置において、

前記表示素子と、前記撮像部と、前記撮像部で撮像された画像に対応する 2 値データを格納する 2 値データ格納部と、を有する画素アレイ部と、

複数の撮影条件にて前記撮像部で撮像された複数の前記 2 値データに基づいて、多階調データを生成する第 1 の画像処理部と、

前記撮像装置で撮像された撮像データと、前記第 1 の画像処理部で生成された多階調データとを択一的に受信して、所定の画像処理を行う第 2 の画像処理部とを備えることを特徴とする表示装置。

【請求項 2】

前記第 2 の画像処理部は、階調補正、色補正、欠陥画素補正、エッジ補正及びノイズ補正の少なくとも一つを行うことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記画素アレイ部は、絶縁基板上に TFT (Thin Film Transistor) を用いて形成され、

前記第 1 の画像処理部は、前記絶縁基板上に実装される半導体チップであることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記第 1 の画像処理部を内蔵するとともに、前記画素アレイ部に表示用のデジタル画素データを供給するディスプレイコントローラ IC を備えることを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

信号線の並ぶ方向に配置される前記撮像部は、各画素ごとに千鳥状に配置されることを特徴とする請求項 1～4 のいずれかに記載の表示装置。

【請求項 6】

千鳥状に配置された前記撮像部のうち、周囲 4 つの前記撮像部で囲まれる中央部の撮像データを、前記周囲 4 つの前記撮像部の撮像データに基づいて計算する仮想撮像データ検出手段を備えることを特徴とする請求項 4 に記載の表示装置。

【請求項 7】

前記仮想撮像データ検出手段は、前記周囲 4 つの前記撮像部の撮像データを平均化することにより、前記中央部の撮像データを計算することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記第 1 の画像処理部は、3 水平ライン分の前記撮像部の撮像データを格納可能な一時記憶部を有し、

前記一時記憶部に格納されている撮像データを前記第 1 の画像処理部が前記第 2 の画像処理部に転送している最中に、前記仮想撮像データ検出手段は前記中央部の撮像データを計算して、その計算結果を前記一時記憶部に転送することを特徴とする請求項 6 または 7 に記載の表示装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、画像取込み機能を備えた表示装置に関する。

【0002】**【従来の技術】**

液晶表示装置は、信号線、走査線及び画素 T F T が列設されたアレイ基板と、信号線及び走査線を駆動する駆動回路とを備えている。最近の集積回路技術の進歩発展により、駆動回路の一部をアレイ基板上に形成するプロセス技術が実用化されている。これにより、液晶表示装置全体を軽薄短小化することができ、携帯電話やノート型コンピュータなどの各種の携帯機器の表示装置として幅広く利用

されている。

【0003】

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した画像取込み機能を備えた表示装置が提案されている（例えば、特許文献1，2を参照）。

【0004】

この種の画像取込み機能を備えた従来の表示装置は、センサに接続されたキャパシタの電荷量をセンサでの受光量に応じて変化させるようにし、キャパシタの両端電圧を検出することで、画像取込みを行っている。

【0005】

【特許文献1】

特開2001-292276号公報

【特許文献2】

特開2001-339640号公報

【0006】

【発明が解決しようとする課題】

しかしながら、液晶表示装置は、背面に配置されるバックライト光源の光を液晶画素が透過させるか否かを制御して任意の表示を行っている。この際、画素の中に多くの光電変換素子や回路を集積してしまうと、十分な開口率を確保することができず、必要な表示輝度を確保できないおそれがある。

【0007】

バックライトの輝度を高める方法も考えられるが、消費電力が増大してしまうという別の問題が生じる。表示装置では、画素内に1ビットの光電変換素子及び回路を設けるのが精一杯である。このため、デジタルカメラ等で用いられるCMOSイメージセンサやCCDなどと異なり、表示装置から直接出力される撮像データは1bitのみである。これを多階調化するためには、露光時間などの撮像条件を変化させながら多数回の撮像を繰り返し外部で加算・平均化処理を行う特有の処理が必要となる。また、多階調化の後に、通常デジタルカメラ等で行われる階調補正、欠陥補正等の一般的な画像処理を行う必要がある。

【0008】

これらを行うために専用の画像処理ICを設けることも考えられるが、その分コストアップの問題が生じる。

【0009】

本発明は、このような点に鑑みてなされたものであり、その目的は、画素内で画像取込を行って得られた画像の画像処理を簡易な構成及び手順で行うことができる表示装置を提供することにある。

【0010】**【課題を解決するための手段】**

上述した課題を解決するために、本発明は、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられる撮像部と、を備え、前記表示素子は、前記撮像部で撮像された画像、または撮像装置で撮像された画像を表示可能な表示装置において、前記表示素子と、前記撮像部と、前記撮像部で撮像された画像に対応する2値データを格納する2値データ格納部と、を有する画素アレイ部と、複数の撮影条件にて前記撮像部で撮像された複数の前記2値データに基づいて、多階調データを生成する第1の画像処理部と、前記撮像装置で撮像された撮像データと、前記第1の画像処理部で生成された多階調データとを択一的に受信して、所定の画像処理を行う第2の画像処理部とを備える。

【0011】**【発明の実施の形態】**

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【0012】

図1は本発明に係る表示装置の全体構成を示すブロック図であり、カメラ付き携帯電話の表示装置の構成を示している。図1の表示装置は、画素TFTが列設されるLCD (Liquid Crystal Display) 基板1と、LCD基板1上に実装される液晶ドライバIC (以下、LCDC) 2と、ベースバンドLSI 3と、カメラ4と、カメラ4の撮像データの画像処理を行う画像処理IC 5と、基地局との通信を行う送受信部6

と、各部への電源供給を行う電源回路 7 とを備えている。

【0013】

ベースバンドLSI 3 は、CPU 1 1 と、メインメモリ 1 2 と、MPEG処理部 1 3 と、DRAM 1 4 と、図示しない音声信号処理部等を有し、携帯電話全体の制御を行う。図 1 では、ベースバンドLSI 3 とは別個に画像処理IC 5 と送受信部 6 を設けているが、これらを一つのチップにまとめてもよい。CPU 1 1 とメインメモリ 1 2 で一つのチップとし、他を別の一つのチップとしてもよい。

【0014】

LCDC 2 は、制御部 1 5 とフレームメモリ 1 6 を有する。カメラ 4 は、CCD (Charge Coupled Device) やCMOSイメージ画像取込センサで実現される。

【0015】

本実施形態のLCD基板 1 には、画像取込を行う画像取込センサが画素ごとに設けられている。LCD基板 1 には共通電極をITO等の透明電極により形成した対向基板を所定間隔（約5ミクロン）で配置し、これらの間に液晶材料を注入し所定の方法で封止して、さらに両基板の外側に偏光板を貼り付けて用いる。

【0016】

図 2 はLCD基板 1 上に形成される回路を示すブロック図である。図示のように、LCD基板 1 上には、信号線及び走査線が列設される画素アレイ部 2 1 と、信号線を駆動する信号線駆動回路 2 2 と、走査線を駆動する走査線駆動回路 2 3 と、画像取込を制御する画像取込センサ制御回路 2 4 と、画像取込後の信号処理を行う信号処理出力回路 2 5 とが形成される。これらの回路は、例えば低温ポリシリコン技術を利用したポリシリコンTFTにより形成される。信号線駆動回路 2 2 は、デジタル画素データを表示素子の駆動に適したアナログ電圧に変換するD/A変換回路を含む。D/A変換回路は公知のものを用いる。

【0017】

図 3 は画素アレイ部 2 1 の 1 画素分の詳細回路図、図 4 はガラス基板上の 1 画素分のレイアウト図である。図 4 に示すように、本実施形態の画素は略正形状である。

【0018】

各画素は、図3に示すように、画素TFT31と、補助容量Csに電荷を蓄積するか否かを制御する表示制御TFT32と、画像取込センサ33と、画像取込センサ33の撮像結果を格納するキャパシタC1と、キャパシタC1の蓄積電荷に応じた2値データを格納するSRAM34と、キャパシタC1に初期電荷を蓄積するための初期化用TFT35とを有する。

【0019】

ここで、各画素の輝度は、補助容量Csに蓄積された電荷に基づいて決まる画素電極電位と対向基板上に形成されたコモン電極の電位との差により、これらの間に挟まれた液晶層の透過率を制御することにより、階調制御される。

【0020】

図3では、各画素ごとに1個の画像取込センサ33を設ける例を示しているが、画像取込センサ33の数に特に制限はない。1画素当たりの画像取込センサ33の数を増やすほど、画像取込みの解像度を向上できる。

【0021】

キャパシタC1の初期化を行う場合は、画素TFT31と初期化用TFT35をオンする。表示素子の輝度を設定するためのアナログ電圧（アナログ画素電圧）を補助容量Csに書き込む場合は、画素TFT31と表示制御TFT32をオンする。キャパシタC1の電圧のリフレッシュを行う場合は、初期化用TFT35とSRAM34内のデータ保持用TFT36とともにオンする。キャパシタC1の電圧がSRAM34の電源電圧(5V)に近い値であれば多少リークしていてもリフレッシュの結果5Vになるし、逆にキャパシタC1の電圧がSRAM34のGND電圧(0V)に近い値であればリフレッシュの結果0Vになる。また、TFT35とTFT36とがともにオンしている限り、SRAM34のデータ値は極めて安定に保持されつづける。TFT35とTFT36のいずれかがオフしてもキャパシタC1の電位のリークが少ないうちはSRAM34のデータ値は保持されつづける。キャパシタC1の電位リークが多くなり、データ値が変わってしまわない前にリフレッシュを行うようにすれば、SRAM34のデータ値を保持しつづけることができる。SRAM34に格納された撮像データを信号線に供給する場合は、画素TFT31とデータ保持用TFT36とともにオンする。

【0022】

本実施形態の表示装置は、通常の表示動作を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。通常の表示動作を行う場合は、TFT 35、36はオフ状態に設定され、バッファには有効なデータは格納されない。この場合、信号線には、信号線駆動回路 22からの信号線電圧が供給され、この信号線電圧に応じた表示が行われる。

【0023】

一方、画像取込みを行う場合は、図5に示すようにLCD基板1の上面側に画像取込み対象物（例えば、紙面）37を配置し、バックライト38からの光を対向基板39とLCD基板1を介して紙面37に照射する。紙面37で反射された光はLCD基板1上の画像取込センサ33で受光され、画像取込みが行われる。ここで、撮像対象側に配置されるガラス基板及び偏光板はできるだけ薄いものが良い。望ましくは0.2mm程度以下がよい。紙面はふつう拡散反射面であることが多く、照射される光をつよく拡散する。撮像対象側のガラス基板が厚いと、画像取込センサ受光部と紙面の距離が広がりその分拡散反射光が隣接画その画像取込センサに入りやすくなり取り込み画像がぼやける原因となることがあるからである。

【0024】

取り込んだ画像データは、図3に示すようにSRAM34に格納された後、信号線を介して、図1に示すLCDC2に送られる。このLCDC2は、本実施形態の表示装置から出力されるデジタル信号を受けて、データの並び替えやデータ中のノイズの除去などの演算処理を行う。

【0025】

図6は画像処理IC5の内部構成を示すブロック図である。図6の画像処理IC5は、カメラ4で撮像された撮像データを受け取るカメラI/F部41と、制御部42と、カメラ4の動作制御を行う制御I/F43と、LCDC2からの撮像データを受け取るLCD-I/F44と、撮像データを格納する画像処理用メモリ45と、CPU11との間で制御信号のやり取りを行うホストI/F46と、撮像データの階調補正を行う階調補正部47と、撮像データの色補正を行う色補正部48と、欠陥画素補正部49と、撮像データのエッジ補正を行うエッジ補正部50と、撮像データのノイズを除去するノイズ除去部51と、撮像データのホワイトバランスを調整す

るホワイトバランス補正部 52 とを有する。従来の画像処理 IC との差異としては、撮像データを受け取る LCD-I/F 44 を有する点が特徴的である。

【0026】

LCD 基板 1 の表示は、原則的にベースバンド LSI 3 からの指示及び監視の下で行われる。例えば、ベースバンド LSI 3 にカメラ 4 の撮像データが入力されると、ベースバンド LSI 3 はその撮像データを所定のタイミングで LCDC 2 に出力する。LCDC 2 は、ベースバンド LSI 3 からのカメラ 4 の撮像データをフレームメモリ 16 に格納する。ベースバンド LSI 3 から供給されるカメラ 4 の撮像データが間欠的であっても、LCDC 2 は、フレームメモリ 16 に格納された 1 画面分のカメラ 4 の撮像データを、所定のタイミングで LCD 基板 1 に出力する。LCD 基板 1 は、LCDC 2 からのカメラ 4 の撮像データをアナログ画素電圧に変換して信号線に書き込む。

【0027】

図 7 は LCDC 2 の内部構成の一例を示すブロック図である。図 7 の LCDC 2 は、MP EG-IF 61 と、LUT (Lookup Table) 62 と、LCD-I/F 63 と、撮像データを格納するラインバッファ 64 と、LCDC 2 から供給された撮像データを保持する画像処理メモリ 65 と、表示用のデジタル画素データを保持するフレームメモリ 16 と、出力前演算部 66 と、第 1 バッファ 67 と、第 2 バッファ 68 と、画像処理部 69 と、ホスト I/F 70 と、発振器 71 とを有する。

【0028】

これに対して、図 8 は従来の LCDC 2 の内部構成を示すブロック図である。図示のように、従来の LCDC 2 は、MPEG-I/F 61 と、LUT 62 と、LCD-I/F 63 と、フレームメモリ 16 と、バッファ 67 と、発振器 71 とを有する。

【0029】

従来は、動画像を表示する際、MPEG-IF を介して入力された MPEG コーデック信号を、LUT 62 を参照して RGB データに変換してフレームメモリ 16 に格納していた。また、テキストを表示する際は、ホスト I/F 45 を介して CPU 11 から供給された描画コマンドを RGB データに変換してフレームメモリ 16 に格納していた。発振器 71 は必要に応じて基準クロックを生成する。携帯電話の待ち受け時など、CPU が休止しているときに待ち受け画面を表示しつづけなければならない場合

に該基準クロックに同期してLCDC 2 からLCD基板 1 に表示のための画素データを定常的に送りつづける。

【0 0 3 0】

LCDC 2 は、フレームメモリ 1 6 から読み出したデジタル画像データを、例えば表示画面の第 1 行から順に 1 行ずつ必要に応じて並び替えてLCD基板 1 に出力する。

【0 0 3 1】

本実施形態のLCDC 2 は、図 7 に示すように、従来のLCDC 2 が持たなかった画像処理メモリ 6 5 を備えており、LCD基板 1 からLCD-I/F 4 3 を介して供給される画像取込センサ 3 3 の撮像データを保持する。この画像取込センサ 3 3 の撮像データは、ホストI/F 4 5 とベースバンドLSI 3 を介して、画像処理IC 5 に供給される。

【0 0 3 2】

LCD基板 1 内の各画素は、開口率を確保しなければならないため、画像取込用の画像取込センサ 3 3 や周辺回路を配置するスペースが限られている。開口率が小さくなると、通常表示の際の画面の表示輝度を確保するために、バックライトをより高輝度に点灯しなければならず、バックライトの消費電力が増大してしまう問題を生じるからである。できるだけ各画素の中には少ない数の画像取込センサ 3 3 と関連回路を内蔵するに留めることが望ましい。また、画像取込センサ 3 3 が 1 つでも、画像取込センサ 3 3 によるキャパシタC1の電位の微妙な変化を精密に外部に取り出すことができれば、それにより多階調の画像取り込みが実現できるが、困難である。なぜならガラス基板上に形成されるTFTや画像取込センサ 3 3 は同一基板上であっても動作閾値等に見逃できないばらつきを有するからである。さらに画素内にばらつき補償回路を設けることも考えられるが、ばらつき補償回路自体それなりの面積を占有し開口率を損なう問題がある。したがって、多階調の画像取込を行うために、画素内に、複数の画像取込センサ 3 3 を設けたり、複雑な補償回路を設けることをせず、撮像条件を変えながら複数回の撮像を行ってこれらのデータに基づいて多階調化のための処理やノイズ補償のための処理を行うようにした。

【0033】

図9はLCDC2が行う画像取込時の処理手順を示すフローチャートである。まず、撮像条件を変えながら、N回画像取込センサ33による画像取込を行う（ステップS1）。次に、（1）式に基づいて、N回の撮像データの単純平均を計算する（ステップS2）。ここで、 $L(x, y)_i$ は、i回目の座標(x, y)の階調値を示している。

【数1】

$$L(x, y) = \frac{1}{N} \sum_{i=1}^N L(x, y)_i \quad \cdots (1)$$

【0034】

ステップS1及びS2の処理を行う際は、図10に示すように、各回の階調値を順に加算する逐次加算を行い、N回目まで逐次加算を行った後に、Nで割ればよい。逐次加算の過程で既に加算済みとなった撮像データは保持しておく必要がない。

【0035】

図10のような逐次加算を行う場合、フレームメモリ16は2回分程度の撮像データを格納できる容量があればよく、メモリ容量を削減できる。

【0036】

次に、むらパターンの減算処理を行う（ステップS3）。次に、ホワイトバランス調整や欠陥補正などを行う（ステップS4）。

【0037】

図11は、LCD基板1上の信号線駆動回路22、走査線駆動回路23、画像取込センサ制御回路24及び信号処理出力回路25と、LCDC2と、ベースバンドLSI3との間の信号のやり取りを示す図である。

【0038】

図12はガラス基板の詳細構成を示すブロック図である。本実施形態の画素アレイ部21は、水平方向320画素×垂直方向240画素の表示解像度を有する。バックライトを赤色、緑色及び青色で順繰りに発光させる、いわゆるフィールドシーケンシャル駆動を行うものである。フィールドシーケンシャル駆動ではバックラ

イトの発光色は赤色、緑色及び青色のほか、白色に点灯することもある。画素はそれぞれごとに信号線及び走査線等が設けられる。信号線の総数は、320本で、走査線の総数は240本である。

【0039】

走査線駆動回路23は、240段のシフトレジスタ71と、3選択デコーダ72と、レベルシフタ (L/S) 73と、マルチプレクサ (MUX) 74と、バッファ75とを有する。

【0040】

信号処理出力回路25は、320個のプリチャージ回路76と、4選択デコーダ77と、10段毎にデータバスが接続されたの合計80段のシフトレジスタ78と、8個の出力バッファ79とを有する。

【0041】

図13 (a) は図12の走査線駆動回路23の内部構成を示す回路図である。図13の走査線駆動回路23は、240段のシフトレジスタ71と、隣接する3本の走査線ごとに設けられる3選択デコーダ72と、走査線ごとに設けられるレベルシフタ (L/S) 73、マルチプレクサ (MUX) 74及びバッファ (BUF) 75とを有する。

【0042】

シフトレジスタ71を構成する各レジスタは図13 (b) のような回路で構成され、MUX74は図13 (c) のような回路で構成される。

【0043】

3選択デコーダ72は、制御信号Field1, Field2, Field3により、隣接する3本の走査線のうちいずれか1本を選択するため、240本の走査線を3本ごとに駆動することができる。例えば、Field[1:3] = (H, L, L) のときは、走査線G1, G4, G7, …の順に駆動され、Field[1:3] = (L, H, L) のときは、走査線G2, G5, G8, …の順に駆動される。

【0044】

このような走査線の駆動方法を行うことにより、画面全体の平均階調 (単位画素数に対する白画素数の割合) を短時間で検出できる。すなわち、走査線を3本

おきに駆動して、その走査線に対応する画像取込センサ 33 の撮像結果を読み出して平均階調を計算し、その計算結果に基づいて、残りの画像取込センサ 33 の撮像結果を読み出すか、あるいは撮像条件を変えて撮像をやり直すかを決定するため、撮像条件がふさわしくない撮像データを無駄に取り込まなくて済む。これにより、撮像結果を最終的に表示するまでの時間を短縮できる。

【0045】

MUX 74 は、走査線を 1 ラインごとにオンするか、全走査線を同時にオンするかを切り替える。全走査線を同時にオンするのは、画像取込センサ 33 の撮像結果を格納するキャパシタ C1 に同時に初期電荷を蓄積するためである。

【0046】

このように、MUX 74 を設けることにより、キャパシタ C1 に初期電荷を蓄積するか否かを切り替える専用の TFT が不要となり、回路規模を削減できる。

【0047】

図 14 は図 11 の信号処理出力回路 25 の内部構成を示すブロック図である。図示のように、信号処理出力回路 25 は、320 個の画像取込センサ 33 の出力を、8 本のバスにまとめてシリアル出力を行う。より具体的には、信号処理出力回路 25 は、40 本の信号線ごとに設けられる P/S 変換回路 91 及び出力バッファ 92 と、同期信号発生回路 93 とを有する。

【0048】

図 15 は図 14 の同期信号発生回路 93 の内部構成を示すブロック図である。図 15 に示すように、同期信号発生回路 93 は、NAND ゲート 94 と、クロック制御される D 型 F/F 95 とを有し、D 型 F/F 95 の後段には出力バッファ 92 が接続されている。LCD 基板 1 上に形成される NAND ゲート等の組み合わせ回路のみでは、TFT の特性ばらつきのため、出力データに対する位相ばらつきが大きくなり、同期信号の役割を果たせないことがある。そこで図 15 に示すように、絶縁基板上のクロックによって制御される D 型 F/F 95 を設けることにより、絶縁基板上のクロックとの位相差を小さくするのが望ましい。

【0049】

図 16 は図 14 の P/S 変換回路 91 の詳細構成を示すブロック図である。図 1

6に示すように、P/S変換回路91は、4入力1出力のデコーダ96と、ラッチ97と、10段のシフトレジスタ98とを有する。デコーダ96は、図17のような回路で構成される。ラッチ97は、図18のような回路で構成される。シフトレジスタ98の制御に用いるクロックは図15のD型F/Fの制御に用いるクロックと共通化とすることによって、データと同期信号との位相差を小さくすることができる。

【0050】

図19は出力バッファ92の詳細構成を示すブロック図である。図示のように、複数のバッファ（インバータ）93を縦続接続して構成される。後段のものほど、各インバータを構成するTFTのチャネル幅を大きくして必要な外部負荷（フレキシブルケーブル（FPC）等）駆動力を確保する。

【0051】

図20は本実施形態の表示装置の動作を説明する図、図21は通常表示時のタイミング図、図22は画像取込センサ33のプリチャージ及び撮像時のタイミング図、図23は画像取込センサ33の撮像データ出力時のタイミング図である。

【0052】

通常の表示を行う場合には、図20のモードm1の動作を行う。一方、画像取込センサ33による画像取込を行う場合は、まずモードm1の動作を行い、全画素の輝度を所定値（液晶透過率が最も高くなるようにする）に設定する。この場合、図21に示すように、まず、走査線G1, G4, G7, …を駆動して画面の1/3の表示を行った後、走査線G2, G5, G8, …を駆動して画面の残り1/3の表示を行い、最後に、走査線G3, G6, G9, …を駆動して画面の最後の1/3の表示を行う。そしてバックライトを特定の色で点灯する。本実施形態ではまず白色を点灯する。

【0053】

次に、モードm2で、全画素のキャパシタC1をプリチャージ（初期電荷の蓄積）した後、撮像を行う。このとき、図22に示すように、走査線駆動回路23が全走査線を駆動している間に、全画素のキャパシタC1に5Vを書き込む。

【0054】

次に、モードm3で、一部の撮像データ（全画面の12分の1）の出力を行う。

具体的には、走査線駆動回路 23 のシフトパルスに基づいて所定の走査線をオンすることにより、当該行に属する SRAM 34 に保持されたデータが信号線に書き込まれる。この場合、図 23 に示すように、まず、走査線 G1, G4, G7, … に接続された画素内の画像取込センサ 33 の撮像データが信号線に出力される。残りの撮像データ（全画面の 12 分の 11）すなわち、走査線 G1, G4, G7, … に接続された画素内の画像取込センサ 33 の撮像データのうちまだラッチ 97 に保持されているだけで出力されずにいるデータの出力、走査線 G2, G5, G8, … に接続された画素内の画像取込センサ 33 の撮像データの信号線への出力、及び走査線 G3, G6, G9, … に接続された画素内の画像取込センサ 33 の撮像データの信号線への出力はモード m4 で行う（モード m3 ではこれらは行わない）。

【0055】

信号線に出力された撮像データは、図 16 の P/S 変換回路 91 内のラッチ回路 97 に保持される。HSW[3:0] を (1, 0, 0, 0) とすることにより、4 つのラッチ回路 97 のうちいずれか一つのデータがシフトレジスタに書き込まれる。シフトレジスタ列をクロック (HCK) 駆動することにより順に出力される。

【0056】

まず最初は、1, 4, …, 238 行のデータのうち、1, 5, 9, … 列のデータの出力が出力される。これは、全画素データの 1/12 に相当する。ここまでのデータに基づいて平均階調 L_{mean} を計算する。この動作の際には、LCDC 2 側では平均階調 L_{mean} をカウントする。

【0057】

全画素データの 1/12 の平均階調が飽和していないか否かを判定し（ステップ S11）、飽和している場合は、データ出力を中止して、画像処理に移行する（モード m5）。

【0058】

次に、平均階調が小さすぎないか否かを判定し（ステップ S12）、小さすぎる場合には、次の撮像時間を $T+2 \times \Delta T$ と長めにしてモード m2 以降の処理を繰返す。小さすぎない場合には、平均階調が大きすぎないか否かを判定し（ステップ S13）、大きすぎる場合には、次の撮像時間を $T+0.5 \times \Delta T$ と短めにしてモー

ドm2以降の処理を繰り返す。大きすぎない場合には、モードm4により、残り12分の11のデータ出力を継続して行う。

【0059】

以上のモードm1からモードm4の動作を、平均階調が飽和してしまうまで繰り返す。

【0060】

モードm5では、こうして得られた撮像データを平均化処理することにより、白色成分の階調情報を合成することができる。

【0061】

同様にm4～m7で緑色成分の合成と、青色成分の合成とを行う。白色、緑、青は、バックライト（LED）の発光色を白にするか、緑にするか、青にするかで切り替える。

【0062】

ここでは、バックライトを赤色点灯した状態では撮像は略することができる。合成された白色成分から、合成された青成分及び緑成分を減算することにより、赤成分を合成できる。画像取込センサ33の光電流は波長分散を有し、赤色の光を検出するには撮像時間を長くする必要がある場合に、全体の撮像時間が長くなってしまいう問題を防ぐことができる。

【0063】

上述した手法により、RGBの各色の階調情報が求まった場合には、これら各色の合成結果を重ね合わせるにより、カラー撮像画面を合成できる。このカラー撮像画面はLCDC2の画像メモリ上に格納され、ベースバンドLSI3を経由して画像処理IC5に送られる。そして、汎用的な画像処理（階調補正、色補正、欠陥画素補正、エッジ補正、ノイズ除去、ホワイトバランス補正など）が行われ、再度LCDC2の表示用のフレームメモリ16に所定の手順で格納され、LCDC2からLCDに所定のフォーマットで出力することにより、LCDに表示することができる。

【0064】

図24はLCDC2の処理動作を示すフローチャートである。図20で説明した表示装置全体の動作のうち、撮像の際にLCDC2が具体的に行う処理動作を抜き出し

たものである。LCDC 2 は、撮像時間 $T=T+\Delta T$ で撮像するよう画像取込センサ 33 に対して指示する（ステップ S 2 1）。次に、画像取込センサ 33 の撮像データのうち、水平方向は信号線の m 本ごとに、垂直方向は走査線の n 本ごとに、画像取込センサ 33 の撮像データを取り込む（ステップ S 2 2）。これにより、全画素の $M (=m \times n)$ 分の 1 個の撮像データを取り込み、撮像データの平均階調 L_{mean} を計算する。（上述の実施形態においては、 $m=4$ 、 $n=3$ の例を説明したが、 m, n はこれらに限定されない）

【0065】

次に、平均階調 L_{mean} が所定の基準値（例えば、“64”）以下か否かを判定する（ステップ S 2 3）。基準値以下の場合には、直前の撮像データの平均階調 L_{mean0} との差異が所定の基準値 $\Delta H0$ 以上か否かを判定する（ステップ S 2 4）。

【0066】

差異が基準値以上であれば、差異が所定の基準値 $\Delta H1$ 以下か否かを判定する（ステップ S 2 5）。差異が基準値 $\Delta H1$ 以下であれば、残りの画像取込センサ 33 の撮像データを順に取り込み、画像処理メモリ 65 に格納されている各画素の撮像データに加算する（ステップ S 2 6）。次に、通算の撮像回数 A を“1”カウントアップした（ステップ S 2 7）後、ステップ S 2 1 以降の処理を繰り返す。

【0067】

一方、ステップ S 2 4 で差異が基準値 $\Delta H0$ 未満と判定された場合、またはステップ S 2 5 で差異が基準値 $\Delta H1$ より大きいと判定された場合には、ステップ S 2 1 に戻る。

【0068】

また、ステップ S 2 3 で平均階調 L_{mean} が 64 より大きいと判定された場合は、座標 (x, y) の画素の階調値 $L(x, y)$ を（2）式に基づいて求める。

$$L(x, y) = L(x, y) / A \quad \cdots (2)$$

【0069】

このように、本実施形態では、画像取込センサ 33 からの撮像データを 2 値データの状態で LCD 基板 1 から LCDC 2 に供給し、LCDC 2 は複数の撮像条件での各 2 値データに基づいて画像処理を行って多階調の撮像データを生成して画像処理 IC

5に供給し、画像処理IC5にて階調補正や色補正等の汎用的な画像処理を行う。すなわち、画像取込センサ33からの撮像データの画像処理をLCDC2ですべて行うのではなく、画像処理の一部については、カメラ4からの撮像データに対して画像処理を行う画像処理IC5で行うため、LCDC2の構成を簡略化できる。また、本実施形態によれば、携帯電話内で同様の処理を行うICチップを複数設けなくて済み、チップ面積の削減と携帯電話機全体のコストダウンが図れる。

【0070】

また、本実施形態では、撮像に長い時間を要する赤色で撮像する代わりに、白、緑及び青の撮像結果から赤色成分を色合成するようにしたため、全体的な撮像時間を短縮でき、撮像してから撮像結果が表示されるまでの時間を短縮できる。

【0071】

さらに、本実施形態では、一部の走査線及び信号線に接続された画素内の画像取込センサ33の撮像結果に基づいて平均階調を求めるため、平均階調を短時間で計算でき、平均階調の計算に適していない撮像条件時にすべての画像取込センサ33の撮像結果を出力するという無駄な処理を行わなくて済む。これにより、平均階調を精度よく短時間で計算できる。

【0072】

本実施形態は、フィールドシーケンシャル駆動を行うLCDを例に説明したが、1画素を3個の副画素に分割しR/G/Bカラーフィルタを設けて表示を行う一般的に知られたLCDにも同様に適用できる。また、各画素にLEDを備える有機EL表示装置でも同様に適用できる。また、携帯電話に限らず、PDA（パーソナルデータアシスタント）やモバイルPCなどのカメラ付携帯情報端末等でも同様に適用できる。

【0073】

本実施形態では、「白色、緑色、青色」の3つの合成結果から「赤色、緑色、青色」の最終的な結果を得たが、種々変形が可能である。「シアン、マゼンタ、イエロー」の3つの合成結果から「赤色、緑色、青色」の最終的な結果を得ることもできる。バックライトのLEDにシアン、マゼンタ、イエローを用いても良いし、「赤と緑を点灯、緑と青を点灯、青と赤を点灯」することによって行っても良い。撮像時間を短縮する効果がある。

【0074】

平均階調を計算するためには、LCD基板上にカウンタを設けてデータバスを利用して出力してもよいし、LCDC側で撮像データを受信する際にカウントしてもよい。

【0075】

(第2の実施形態)

第2の実施形態も、バックライトを赤色、緑色及び青色で順繰りに発光させる、いわゆるフィールドシーケンシャル駆動を行うものである。この場合、観察者には、多色表示を行っているように視認される。

【0076】

第2の実施形態の1画素分の構造は、図3と同様である。図3に示すように、1画素には1個の画像取込センサ33しかなく、開口率が十分に確保される。このため、図25のレイアウト図からわかるように、画像取込センサ33の形成位置の周囲には十分は空き領域があり、画像取込センサ33を1画素内で上下左右にずらすことができる。

【0077】

この点に着目し、本実施形態では、図26に示すように、水平方向に配置された各画素内の画像取込センサ33を千鳥状に配置している。すなわち、隣接画素の画像取込センサ33の形成位置を互いにずらしている。これにより、図26の点線で示す位置(仮想画像取込センサ33位置)に、実際には画像取込センサ33が配置されていなくても、その位置の撮像データを、周囲4画素の画像取込センサ33の撮像データから計算により求めることができる。

【0078】

図27はLCDC2の第2の実施形態の内部構成を示すブロック図である。図7と比較して、図27のLCDC2は3ラインバッファ64aを有する。3ラインバッファ64aには、隣接する3ライン分の画像取込センサ33の撮像データが格納される。例えば、nラインの現実の撮像データと仮想の撮像データを出力する場合について図28を用いて説明する。3ラインバッファ64aに、(n-1)ライン、nライン及び(n+1)ラインの画像取込センサ33の撮像データが格納されている

とする。この場合、出力前演算部 66 は、図 28 に示すように、 n ラインの仮想画像取込センサ 33 の撮像データを、現実の n ラインの画像取込センサの撮像データと $(n-1)$ ラインと $(n+1)$ ラインの画像取込センサ 33 の撮像データから平均化処理により計算し、その計算結果をバッファ 68 に格納する。具体的には、仮想画像取込センサを取り囲む上下左右 4 画素のデータの平均値をもって、仮想画像取込センサの値とする。バッファ 68 の内部で並び換えられた撮像データは、ホスト I/F 70 を介してベースバンド LSI 3 に供給される。ベースバンド LSI 3 は、撮像データを画像処理 IC 5 に供給して、画像処理 IC 5 の内部で各種の画像処理を行う。

【0079】

画像処理 IC 5 は、実際の画像取込センサ 33 からの撮像データと仮想画像取込センサ 33 からの撮像データとを区別できないため、両方の撮像データを区別することなく画像処理を行う。このため、本実施形態によれば、見かけ上、画像取込センサ 33 の数を行方向及び列方向に各々倍に増やしたのと同様の効果が得られる。したがって、第 1 の実施形態よりも、画像取込の解像度を 2 倍に上げることができる。表示画面を用いてユーザーの指紋を読取り、それを携帯電話機の通信手段を利用して遠方のホストコンピュータに転送し、オンラインバンキングの可否を判断（認証）させるような場合に、撮像画像が高解像度となり、認証の精度を高めることができる。

【0080】

また、LCDC のデータ出力部に仮想画像取込センサの値の演算部を設けたため、LCDC の画像処理メモリをいたずらに増大させる必要がない。

【0081】

画素内の画像取込センサの配置は千鳥としたが種々変形は可能である。ひとつの行又は列に渡り、画像取込センサの受光部が単一の直線上に単純に繰返し配置しないことが特徴である。2 以上の直線に交互に配置するようにするとよい。

【0082】

上述した各実施形態では、本発明を液晶表示装置に適用した例について主に説明したが、本発明は画像取込機能をもつすべての種類の平面表示装置に適用可能

である。

【 0 0 8 3 】

【発明の効果】

以上詳細に説明したように、本発明によれば、第 1 及び第 2 の画像処理部を設け、第 1 の画像処理部では画素アレイ部で画像取込を行って得られた画像データに特有の画像処理のみを行い、汎用的な画像処理は第 2 の画像処理部で行うようにしたため、第 1 の画像処理部の処理内容を軽減でき、第 1 の画像処理部の構成を簡略化できる。また、撮像装置での撮像データの画像処理を行うために本来設けられている第 2 の画像処理部を、画素アレイ部で画像取込を行って得られた画像データの画像処理にも利用でき、第 2 の画像処理部の有効利用が図れる。

【図面の簡単な説明】

【図 1】

本発明に係る表示装置の全体構成を示すブロック図。

【図 2】

LCD基板 1 上に形成される回路を示すブロック図。

【図 3】

画素アレイ部 2 1 の 1 画素分の詳細回路図。

【図 4】

ガラス基板上の 1 画素分のレイアウト図。

【図 5】

画像取込の方法を説明する図。

【図 6】

画像処理 IC 5 の内部構成を示すブロック図。

【図 7】

LCDC 2 の内部構成の一例を示すブロック図。

【図 8】

従来の LCDC 2 の内部構成を示すブロック図。

【図 9】

LCDC 2 が行う画像取込時の処理手順を示すフローチャート。

【図 1 0】

逐次加算方法を説明する図。

【図 1 1】

LCD基板 1 上の信号線駆動回路 2 2、走査線駆動回路 2 3、センサ制御回路 2 4 及び信号処理出力回路 2 5 と、LCDC 2 と、ベースバンドLSI 3 との間の信号のやり取りを示す図。

【図 1 2】

ガラス基板の詳細構成を示すブロック図。

【図 1 3】

図 1 2 の走査線駆動回路 2 3 の内部構成を示す回路図。

【図 1 4】

図 1 1 の信号処理出力回路 2 5 の内部構成を示すブロック図。

【図 1 5】

図 1 4 の同期信号発生回路 9 3 の内部構成を示すブロック図。

【図 1 6】

図 1 4 のP/S変換回路 9 1 の詳細構成を示すブロック図。

【図 1 7】

デコーダの内部構成を示す回路図。

【図 1 8】

ラッチの内部構成を示す回路図。

【図 1 9】

出力バッファ 9 2 の詳細構成を示すブロック図。

【図 2 0】

本実施形態の表示装置の動作を説明する図。

【図 2 1】

通常表示時のタイミング図。

【図 2 2】

センサ 3 3 のプリチャージ及び撮像時のタイミング図。

【図 2 3】

センサ 3 3 の撮像データ出力時のタイミング図。

【図 2 4】

LCDC 2 の処理動作を示すフローチャート。

【図 2 5】

1 画素のレイアウト図。

【図 2 6】

センサを千鳥状に配置したレイアウト図。

【図 2 7】

LCDC 2 の第 2 の実施形態の内部構成を示すブロック図。

【図 2 8】

LCDC の処理動作を説明する図。

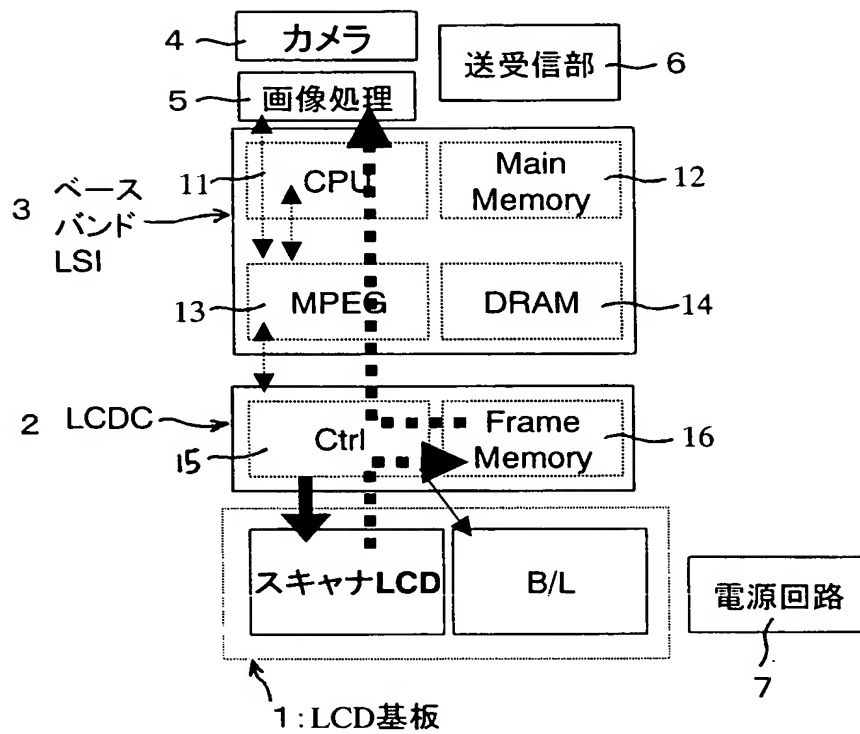
【符号の説明】

- 1 LCD基板
- 2 LCDC
- 3 ベースバンドLSI
- 4 カメラ
- 5 画像処理IC
- 6 送受信部
- 7 電源回路
- 1 1 CPU
- 1 2 メインメモリ
- 1 3 MPEG処理部
- 1 4 DRAM
- 1 5 制御部
- 1 6 フレームメモリ
- 2 1 画素アレイ部
- 2 2 信号線駆動回路
- 2 3 走査線駆動回路
- 2 4 センサ制御回路

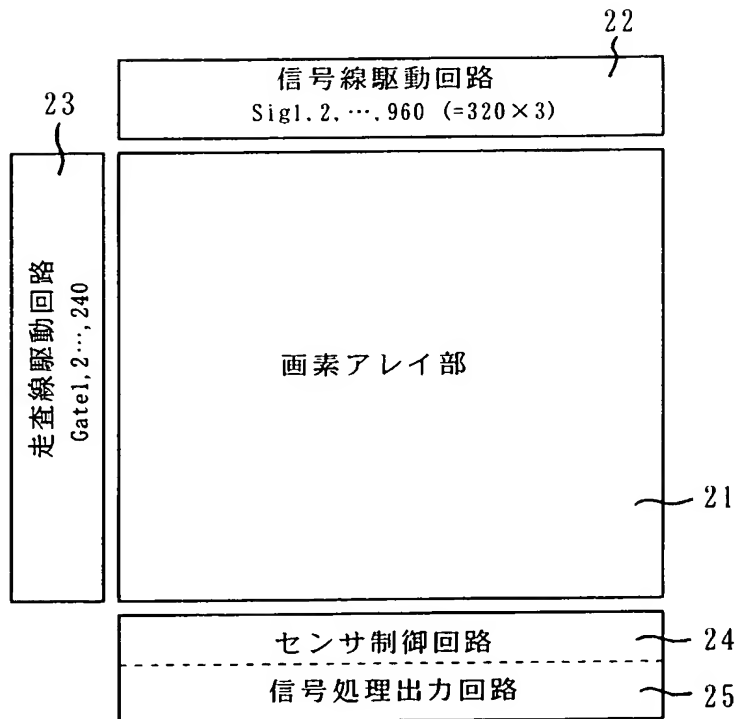
- 2 5 信号処理出力回路
- 3 1 画素TFT
- 3 2 表示制御TFT
- 3 3 画像取込センサ
- 3 4 SRAM
- 3 5 初期化用TFT

【書類名】 図面

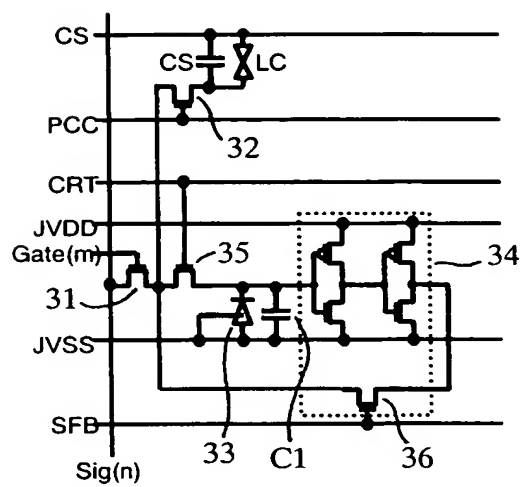
【図 1】



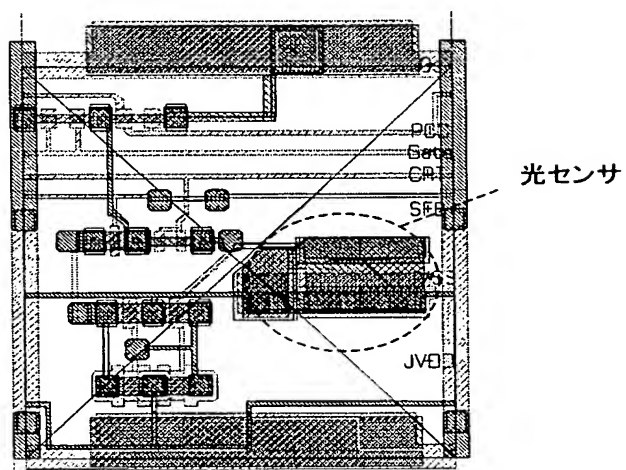
【図 2】



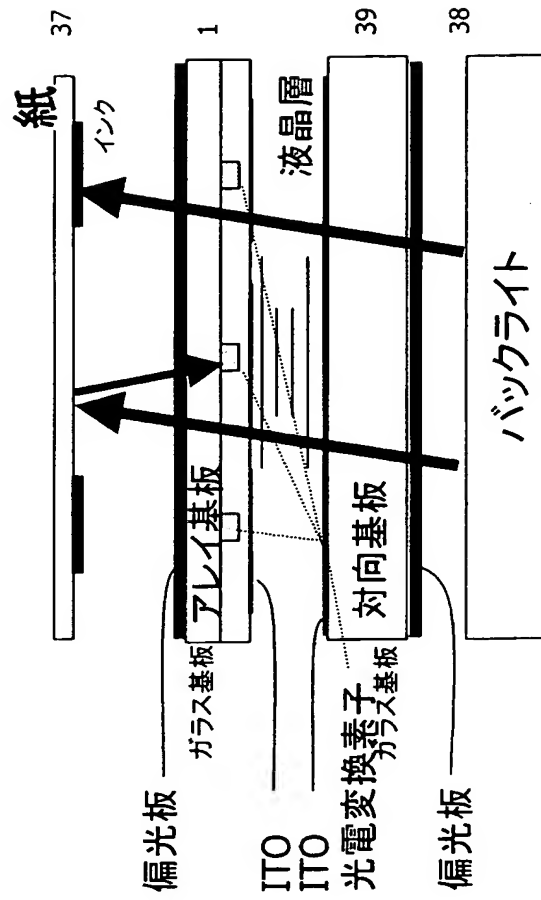
【図 3】



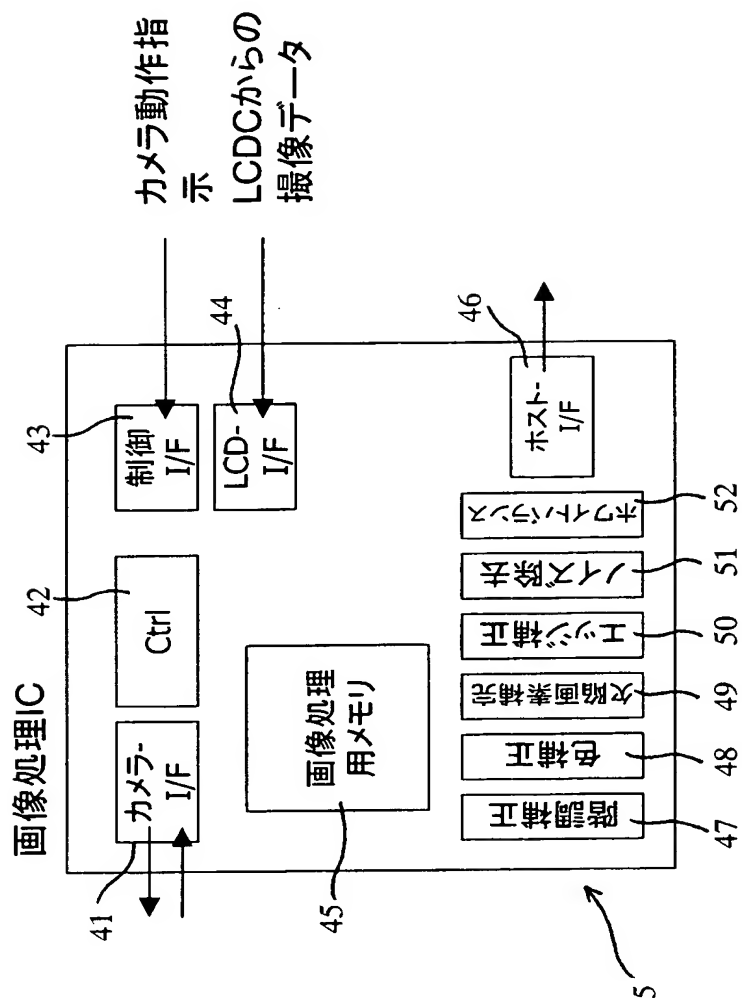
【図 4】



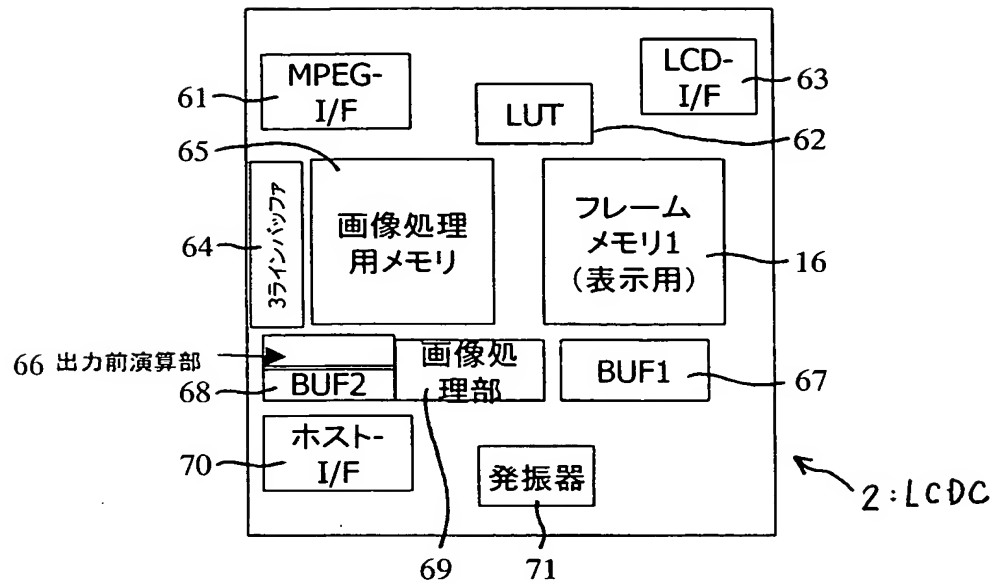
【図 5】



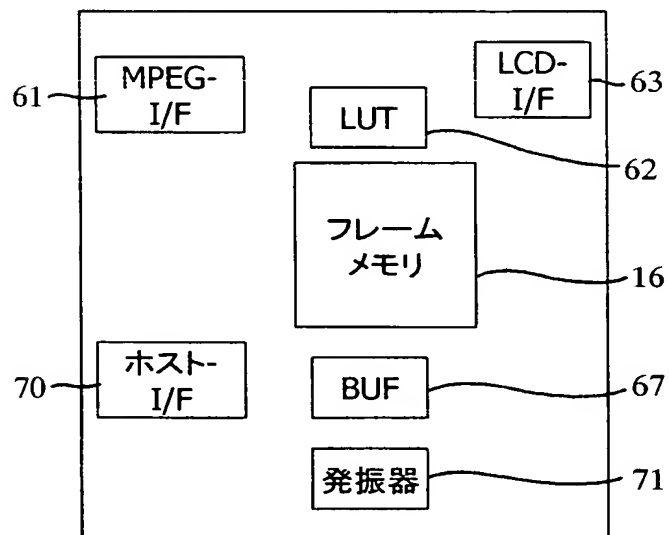
【図 6】



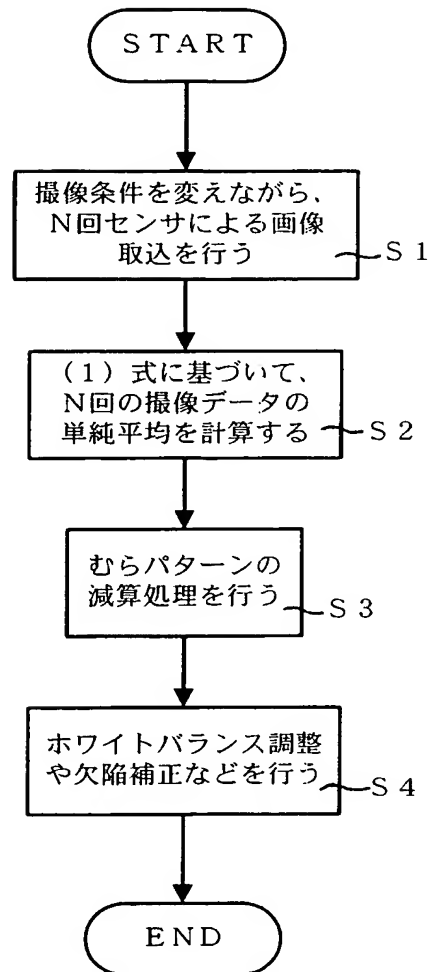
【図 7】



【図 8】



【図 9】



【図10】

$$L(x,y) = \frac{1}{N} \sum_{i=1}^N L(x,y)_i$$
$$= (\cdots ((L(x,y)_1 + L(x,y)_2) + L(x,y)_3) + \cdots L(x,y)_N) \times \frac{1}{N}$$

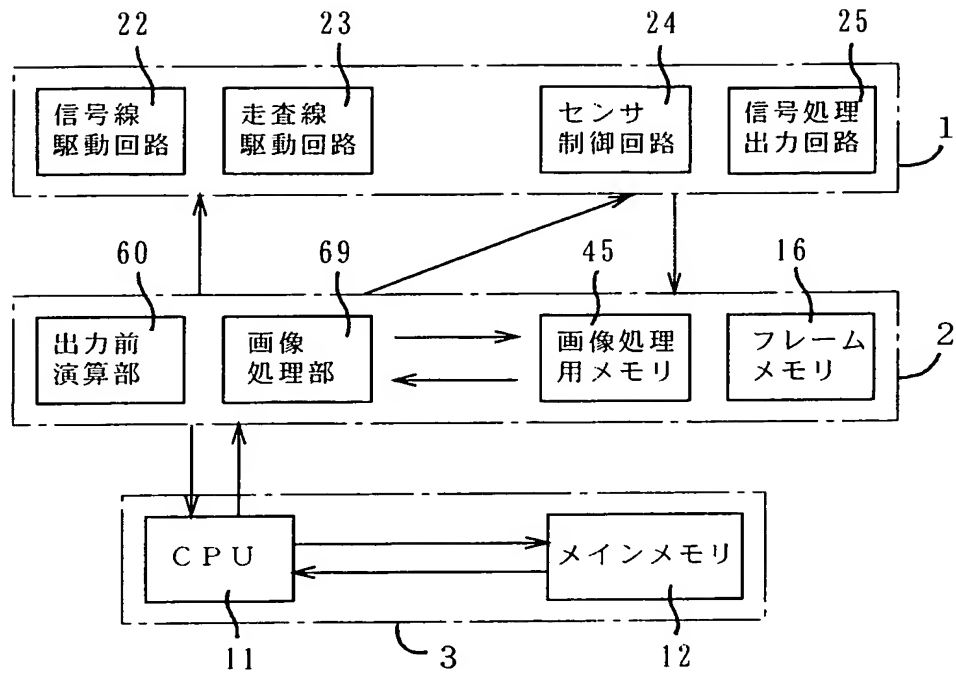
1回目に2回目を加算

3回目を加算

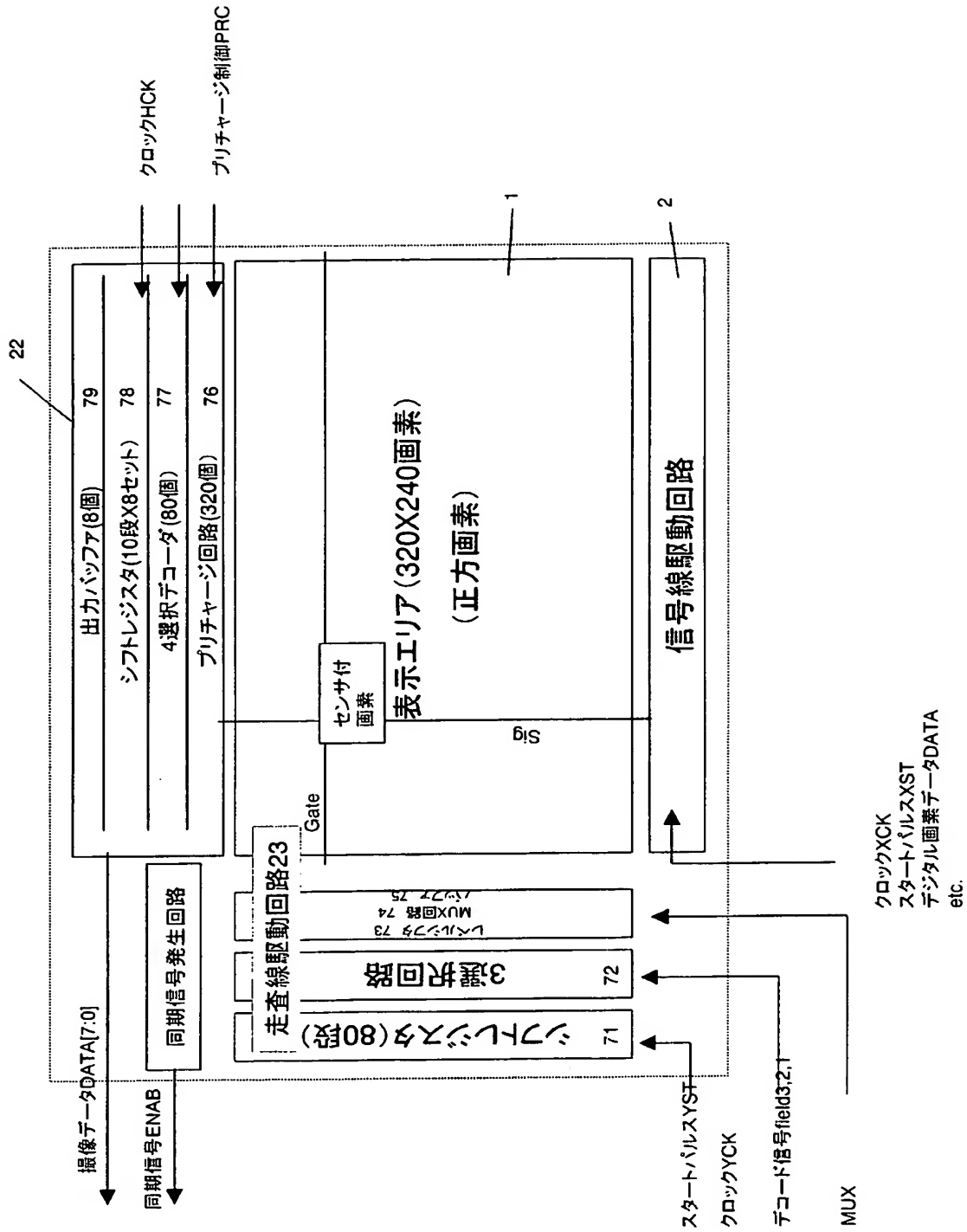
N回目を加算

27レベル程度

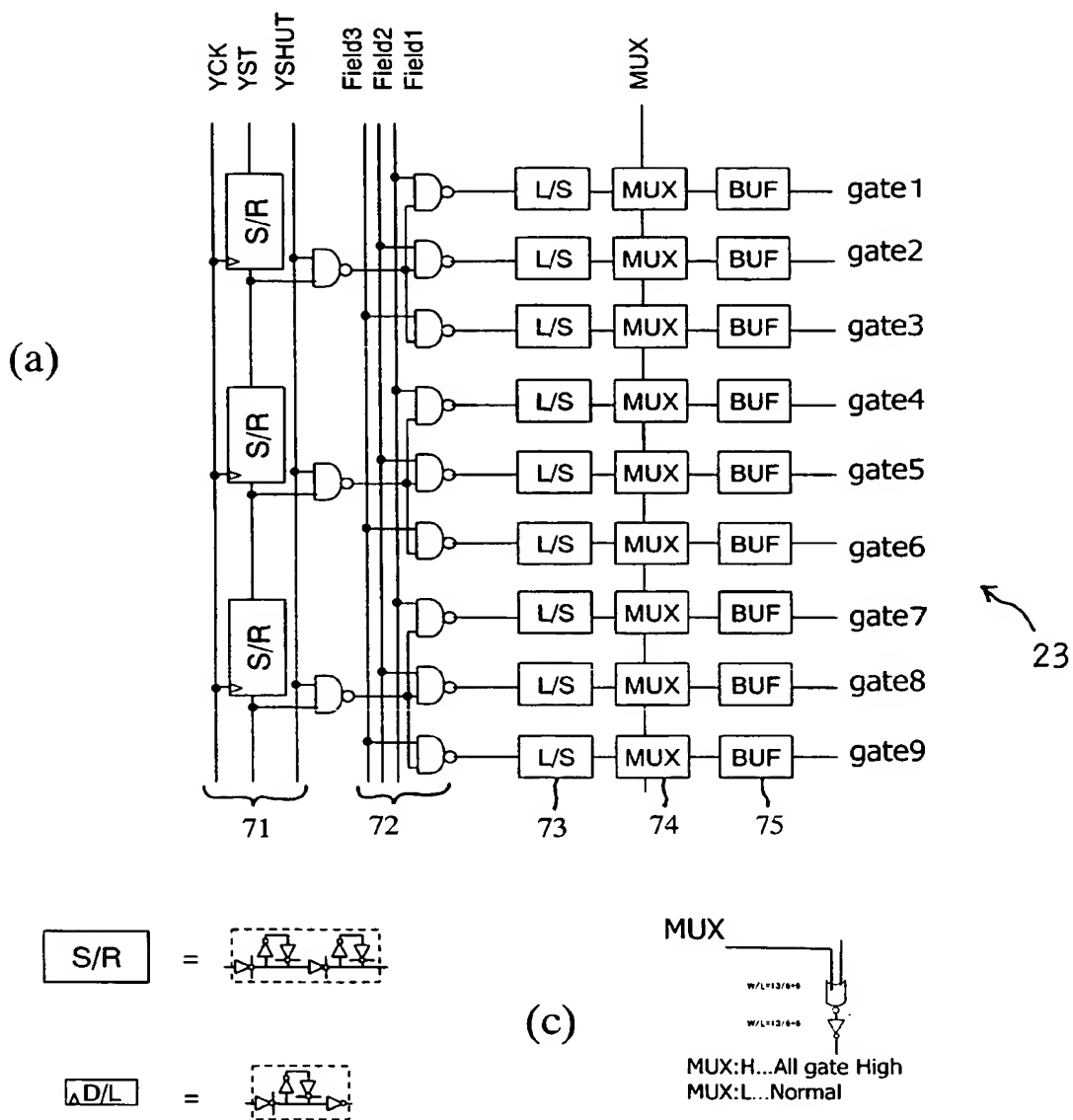
【図 11】



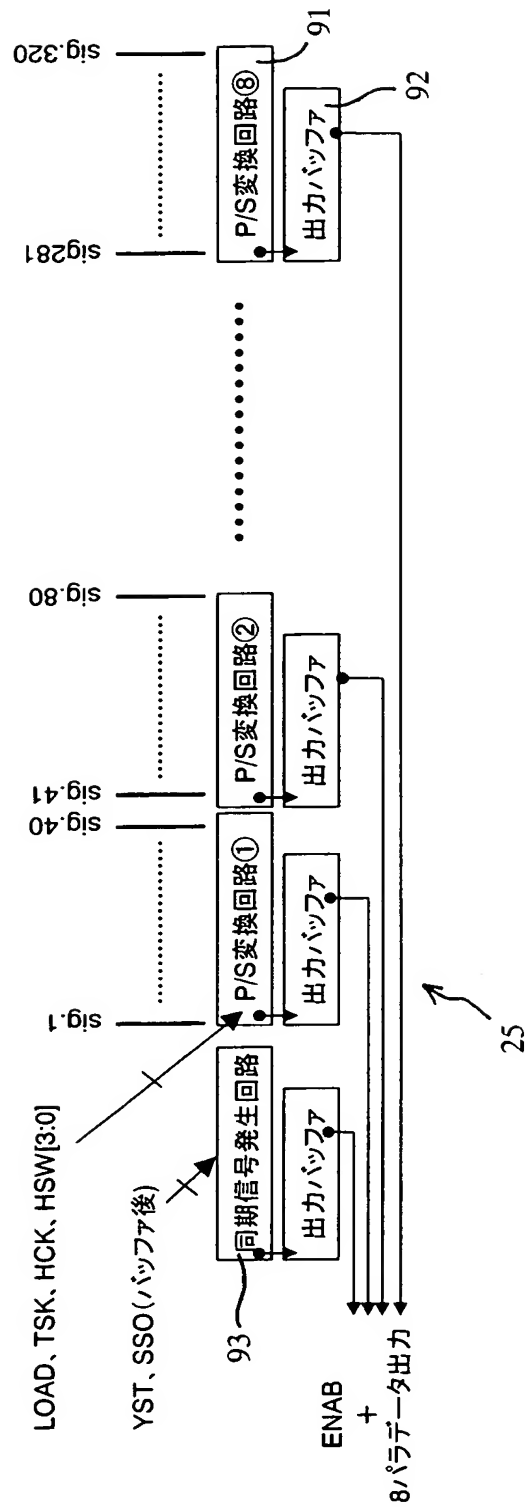
【図12】



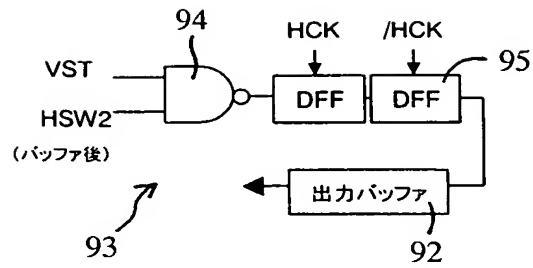
【図 13】



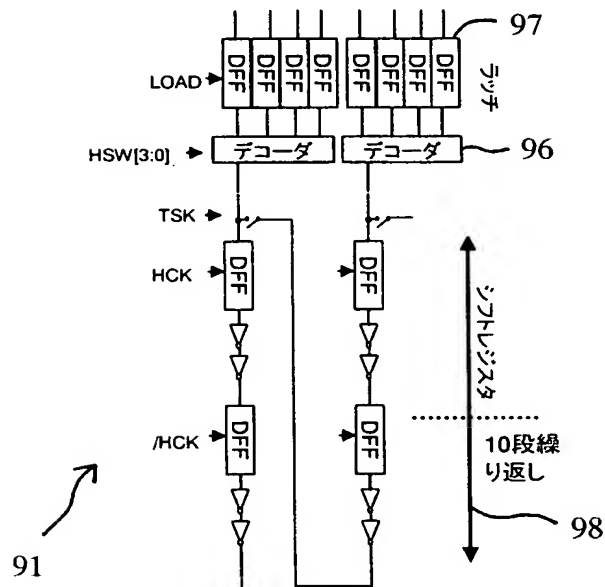
【図 14】



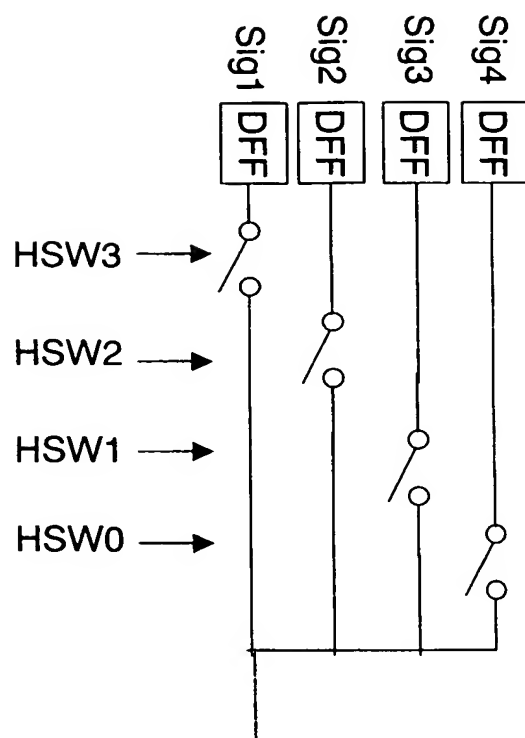
【図 15】



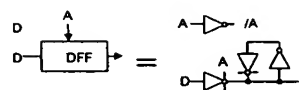
【図 16】



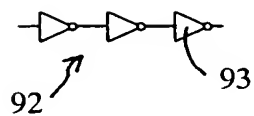
【図 17】



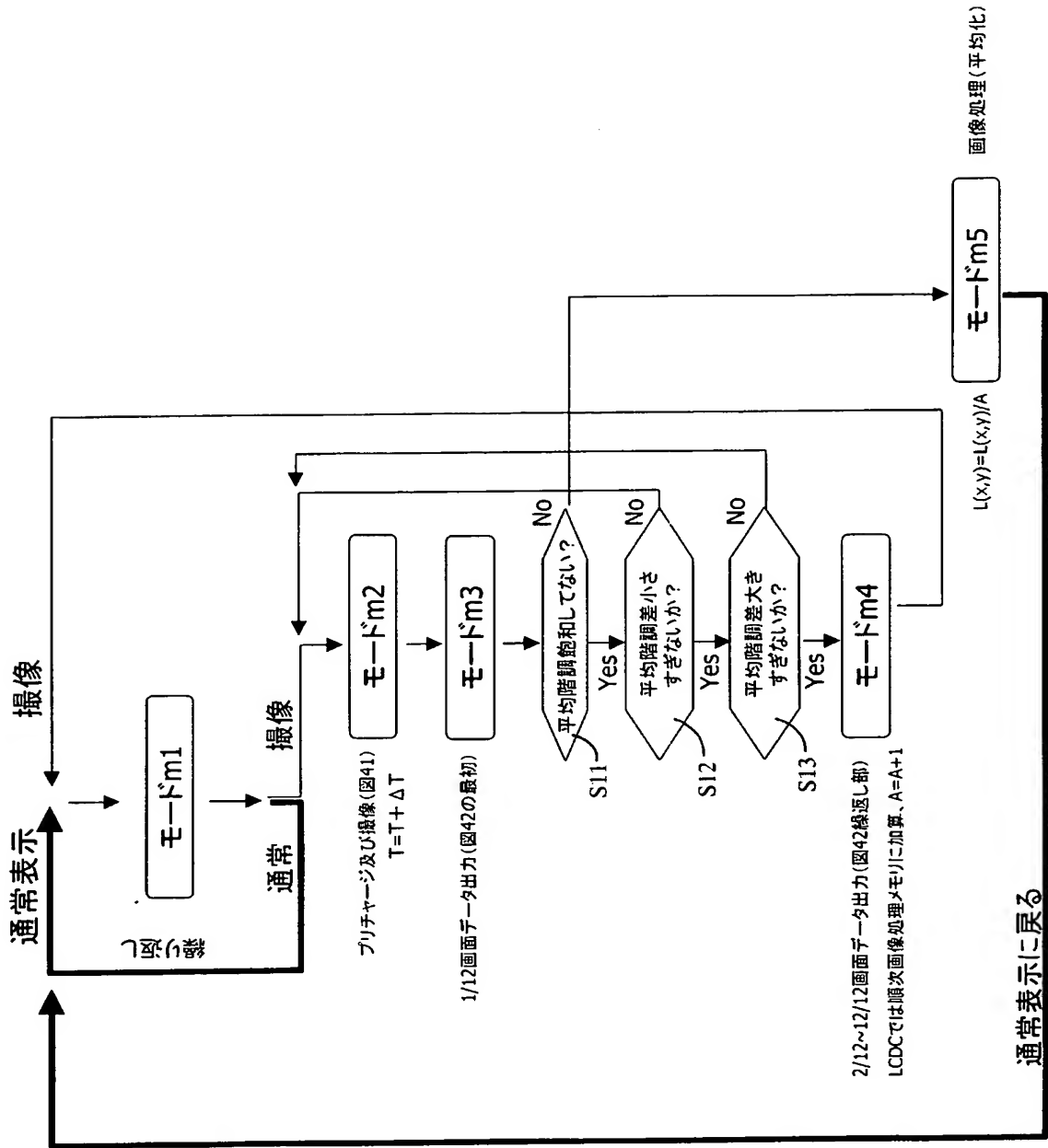
【図 18】



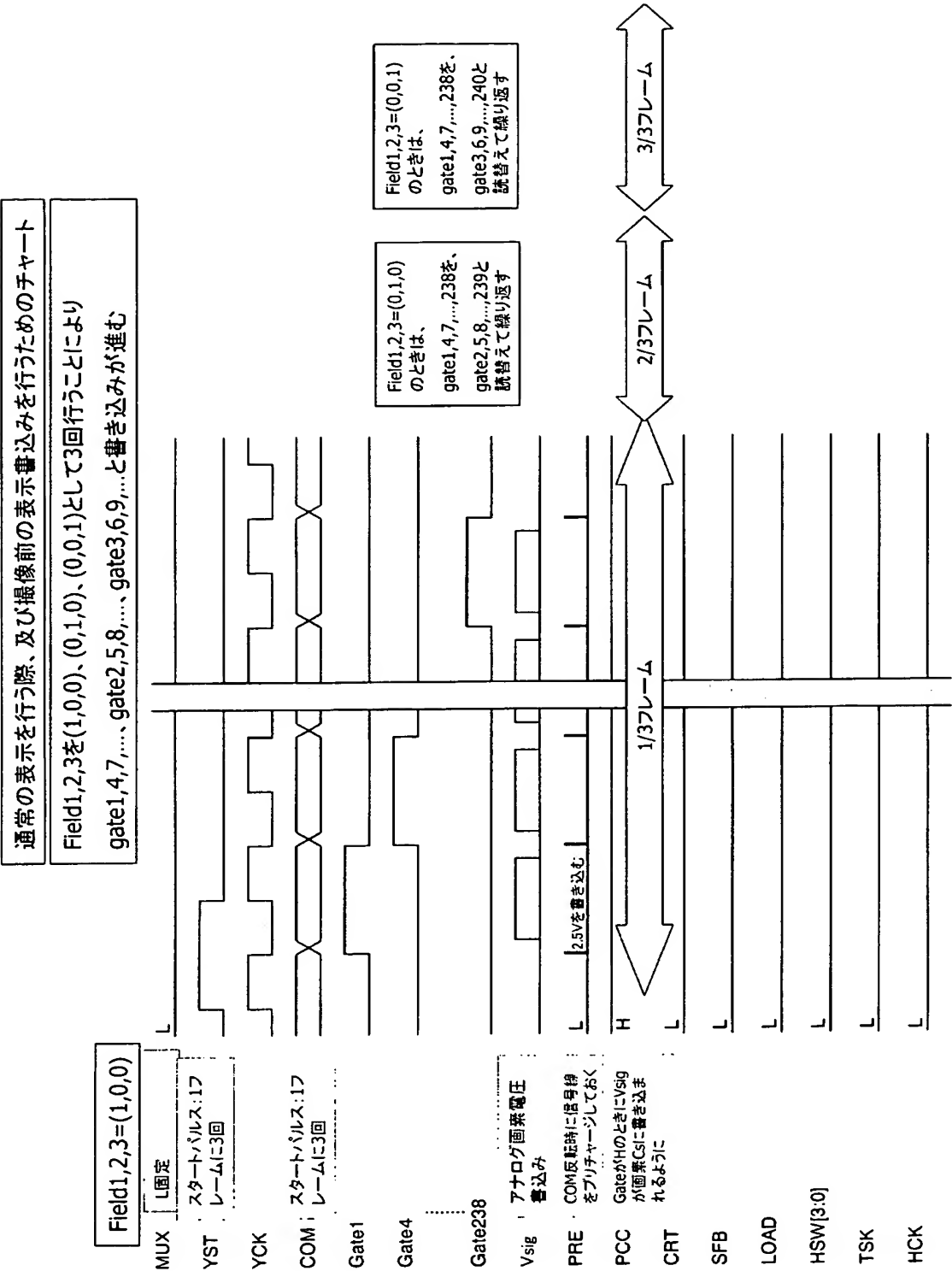
【図 19】



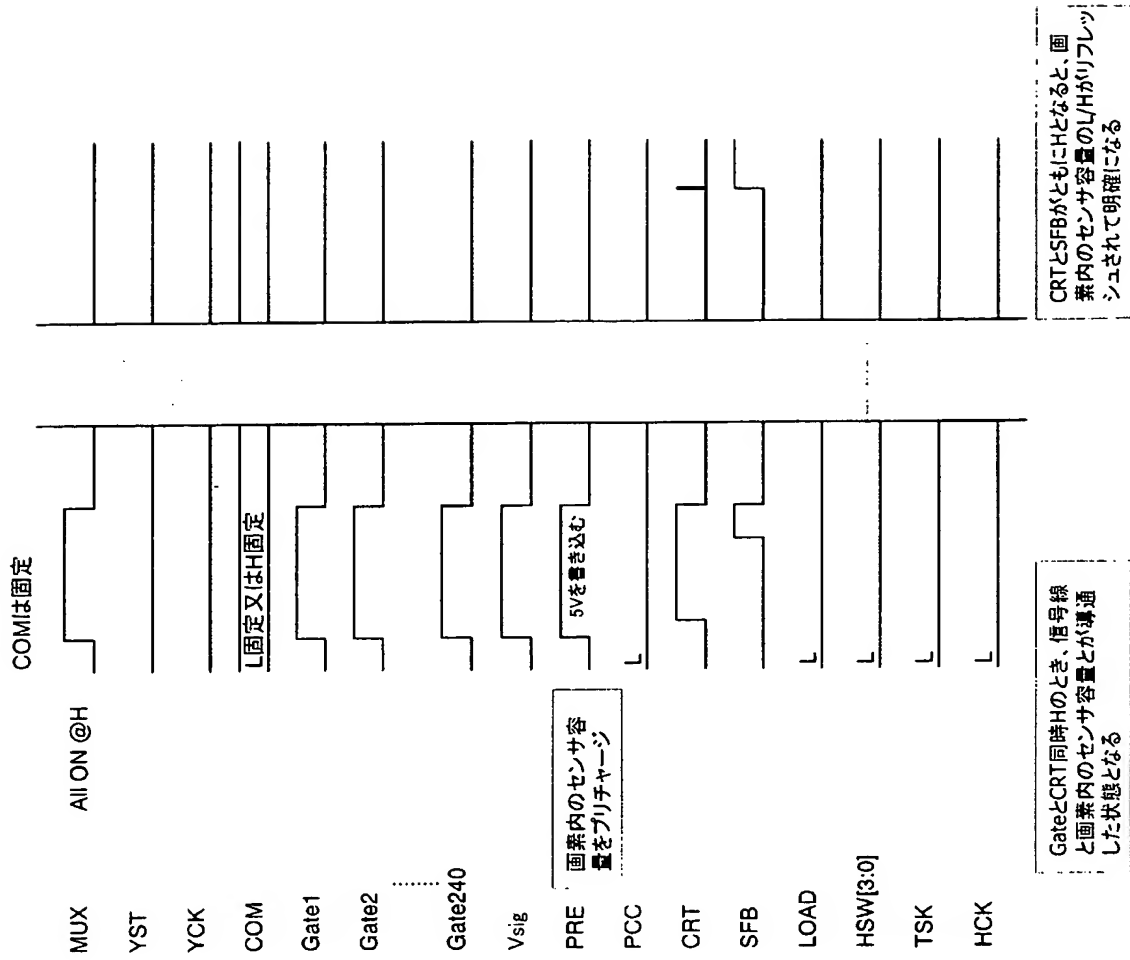
【図 20】



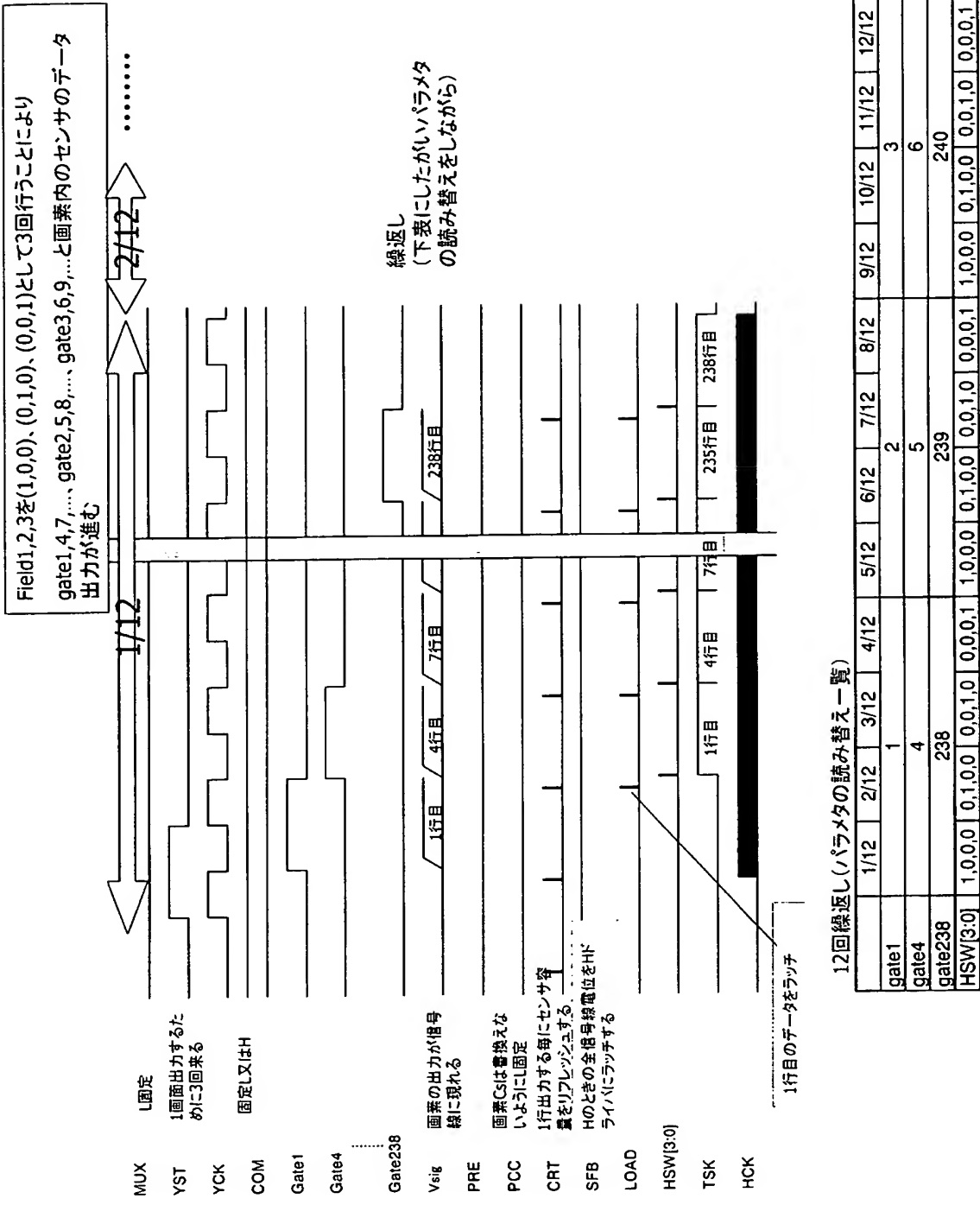
【図 21】



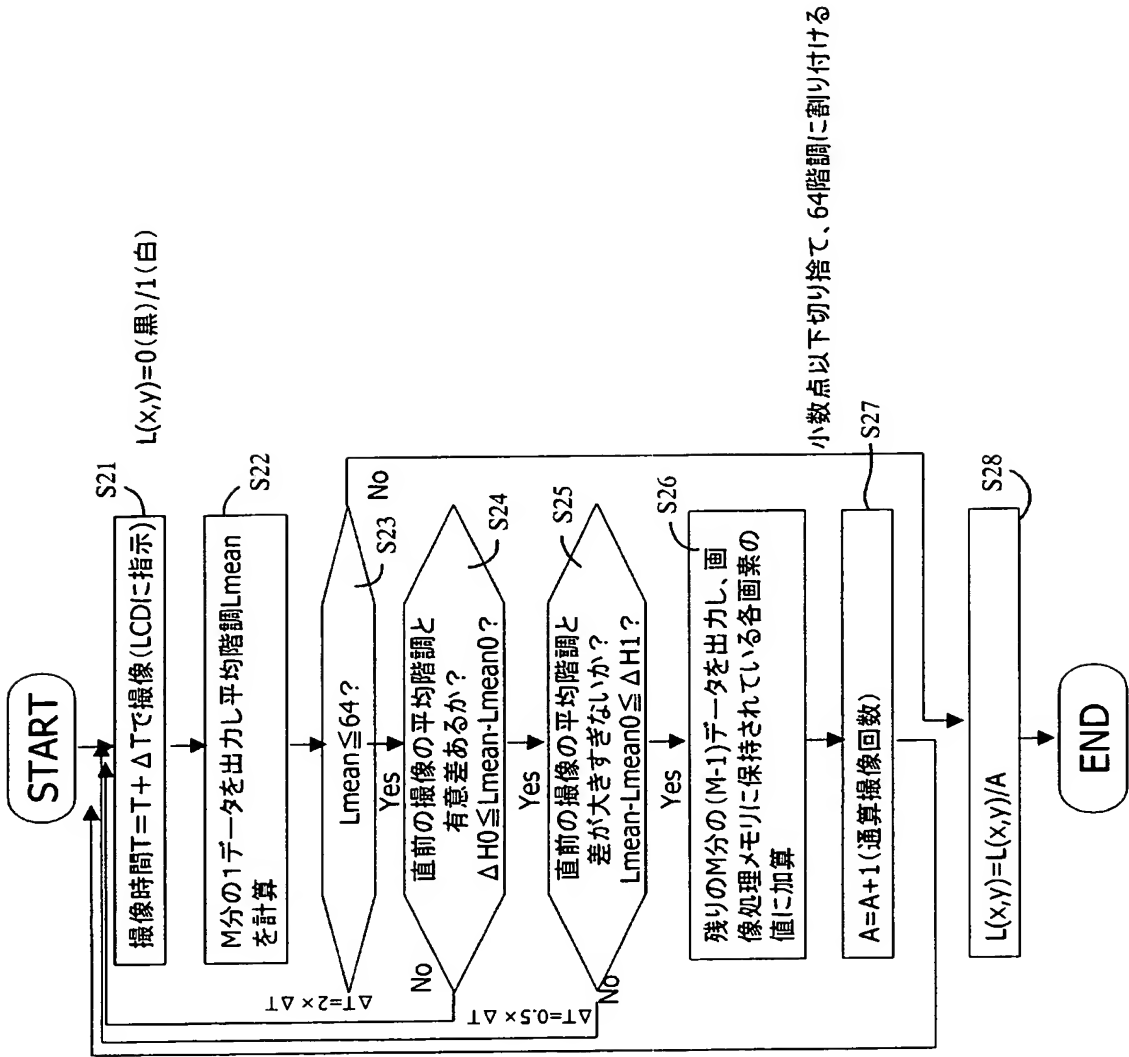
【図 22】



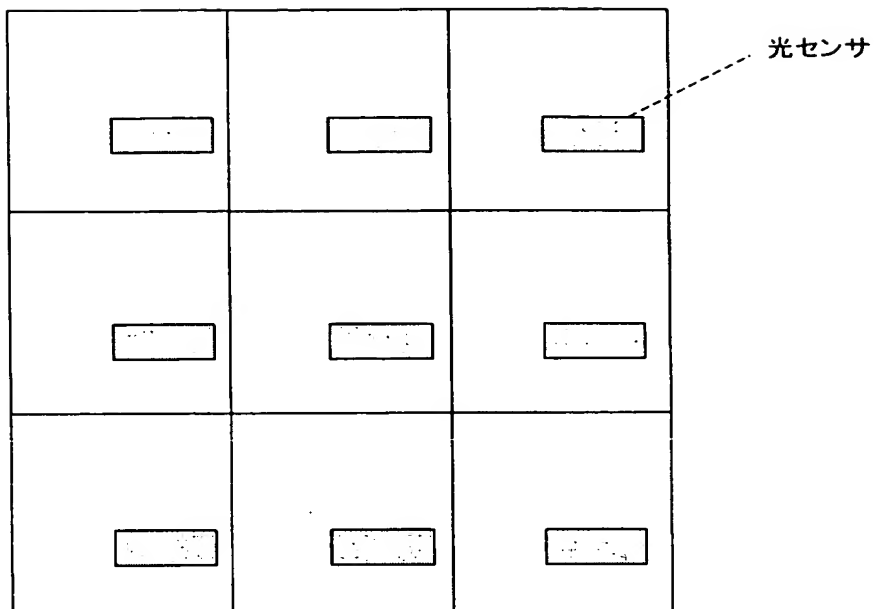
【図 23】



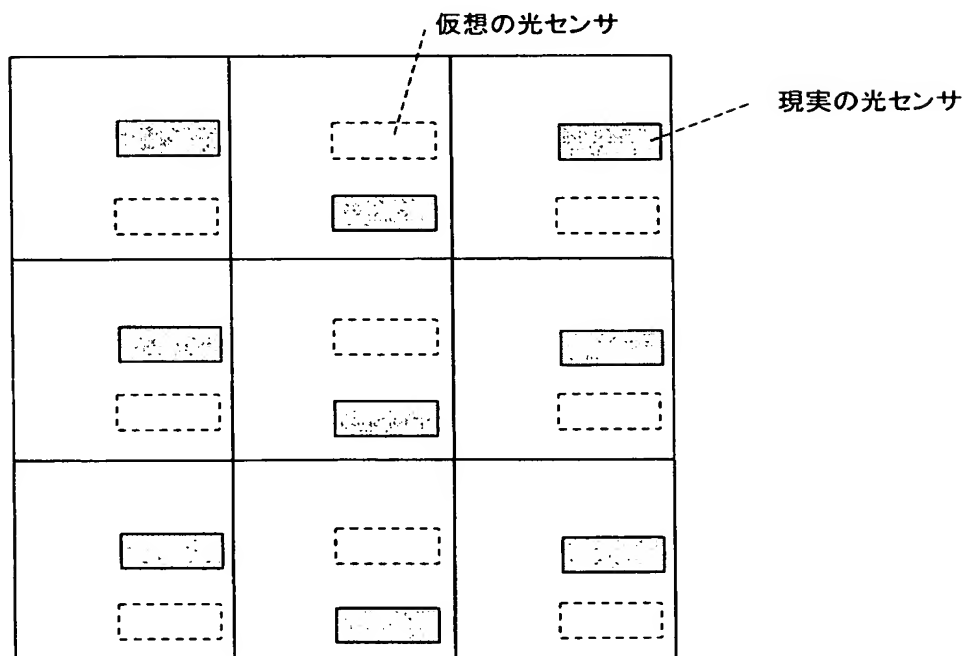
【図 24】



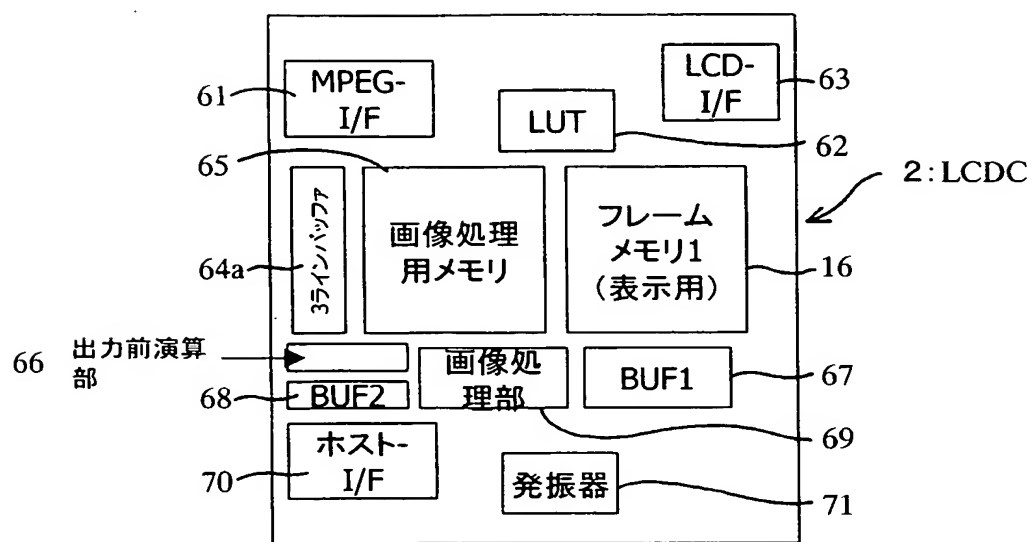
【図 25】



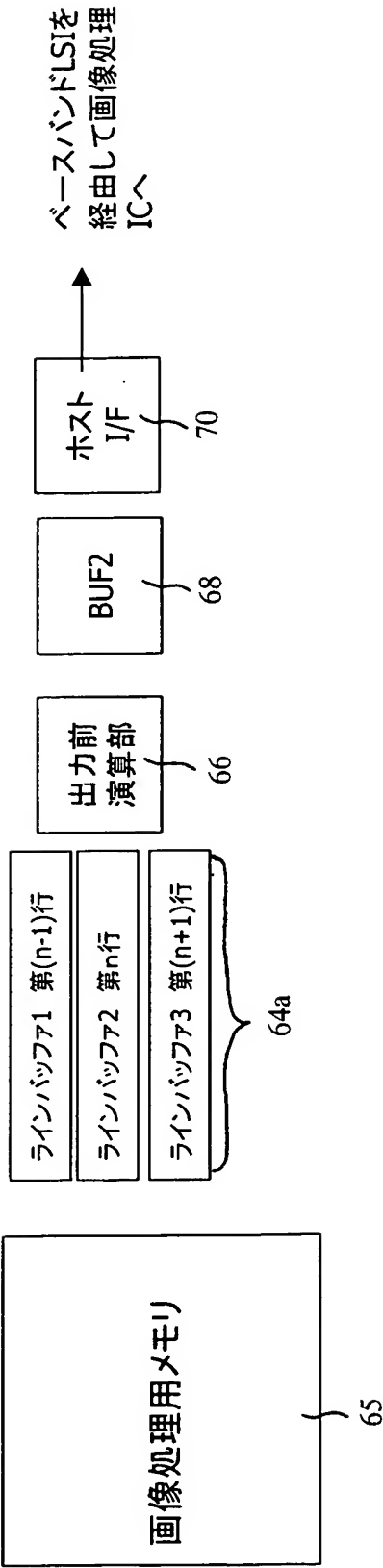
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 画素内で画像取込を行って得られた画像の画像処理を簡易な構成及び手順で行うことができるようにする。

【解決手段】 本発明は、LCD基板 1 と、LCDC 2 と、ベースバンドLSI 3 と、画像処理IC 5 とを備え、センサ 33 からの撮像データを 2 値データの状態でLCD基板 1 からLCDC 2 に供給し、LCDC 2 は複数の撮像条件での各 2 値データに基づいて画像処理を行って多階調の撮像データを生成して画像処理IC 5 に供給し、画像処理IC 5 にて階調補正や色補正等の汎用的な画像処理を行う。すなわち、センサ 33 からの撮像データの画像処理をLCDC 2 ですべて行わず、画像処理の一部については、カメラ 4 からの撮像データに対して画像処理を行う画像処理IC 5 で行うため、LCDC 2 の構成を簡略化でき、チップ面積の削減とコストダウンが図れる。

【選択図】 図 1



特願 2 0 0 3 - 0 9 6 3 7 3

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 2 0 2 0 7]

1. 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社